

10600916



①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

⑫ **Offenlegungsschrift**
⑩ **DE 198 25 034 A 1**

⑤1 Int. Cl.⁶:
G 11 C 7/00
H 03 K 19/0185

②1 Aktenzeichen: 198 25 034.7
②2 Anmeldetag: 4. 6. 98
④3 Offenlegungstag: 15. 4. 99

③0 Unionspriorität:
51954/1997 10. 10. 97 KR
⑦1 Anmelder:
LG Semicon Co., Ltd., Cheongju, KR
⑦4 Vertreter:
WUESTHOFF & WUESTHOFF Patent- und
Rechtsanwälte, 81541 München

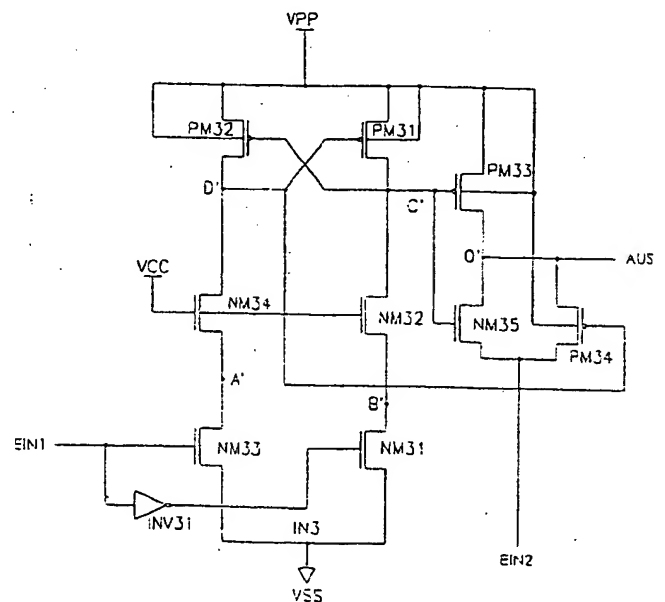
⑦2 Erfinder:
Kim, Kyung-Wol, Seoul, KR

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤4 Pegelumsetzerschaltung

⑤7 Eine Pegelumsetzerschaltung wird geschaffen, die als ein Übertragungsgate-Treiber verwendet wird, indem ein Zellenblock und ein Leseverstärker für eine Speicherschaltung, wie z. B. einen DRAM mit einem gemeinsamen Leseverstärker, verbunden sind. Die Schaltung enthält einen dritten NMOS-Transistor (NM34), dessen Gate-Anschluß eine extern angelegte Spannung VCC empfängt, dessen Source-Anschluß mit dem Knoten A' verbunden ist und dessen Drain-Anschluß mit einem Knoten D' verbunden ist, einen ersten PMOS-Transistor (PM31), dessen Gate-Anschluß mit dem Knoten D' verbunden ist und dessen Drain-Anschluß mit dem Knoten C' verbunden ist, worin dessen Source-Anschluß und ein Substrat eine erhöhte Spannung VPP empfangen, einen zweiten PMOS-Transistor (PM32), dessen Gate-Anschluß mit dem Knoten C' verbunden ist und dessen Drain-Anschluß mit dem Knoten D' verbunden ist, worin dessen Source-Anschluß und ein Substrat eine erhöhte Spannung VPP empfangen, einen dritten PMOS-Transistor (PM33), dessen Gate-Anschluß mit dem Knoten C' verbunden ist und dessen Drain-Anschluß mit einem Knoten O' verbunden ist, worin dessen Source-Anschluß und ein Substrat eine erhöhte Spannung VPP empfangen, einen vierten NMOS-Transistor (NM35), dessen Gate-Anschluß mit dem Knoten C' verbunden ist, dessen Drain-Anschluß mit dem Knoten O' verbunden ist und dessen Source-Anschluß ein zweites Eingangssignal (EIN2) empfängt, und einen vierten PMOS-Transistor (PM34), dessen Gate-Anschluß mit dem Knoten D' verbunden ist, ...



DE 198 25 034 A 1

DE 198 25 034 A 1

Beschreibung

Die vorliegende Erfindung bezieht sich auf eine Pegelumsetzerschaltung und insbesondere auf eine Pegelumsetzerschaltung, die drei verschiedene Spannungspegel unter Verwendung einer Schaltung ausgeben kann, ohne eine zusätzliche Schaltung vorzusehen.

Wie in Fig. 1 dargestellt ist, enthält der herkömmliche Spannungspegelumsetzer einen Inverter INV11 zum Invertieren eines Eingangssignals EIN, einen NMOS-Transistor NM11, dessen Gate-Anschluß ein Ausgangssignal vom Inverter INV11 empfängt, dessen Source-Anschluß mit einer Erdungsspannung VSS verbunden ist und dessen Drain-Anschluß mit einem Knoten B verbunden ist, einen NMOS-Transistor NM12, dessen Gate-Anschluß eine extern angelegte Spannung VCC empfängt, dessen Source-Anschluß mit dem Knoten B verbunden ist und dessen Drain-Anschluß mit einem Knoten C verbunden ist, einen NMOS-Transistor NM13, dessen Gate-Anschluß die extern angelegte Spannung VCC empfängt, dessen Source-Anschluß ein Ausgangssignal vom Inverter INV11 empfängt und dessen Drain-Anschluß mit einem Knoten D verbunden ist, einen NMOS-Transistor NM14, dessen Gate-Anschluß eine Versorgungsspannung VCCP empfängt, dessen Source-Anschluß mit dem Knoten D verbunden ist und dessen Drain-Anschluß mit dem Knoten E verbunden ist, einen PMOS-Transistor PM11, dessen Gate-Anschluß mit einem Knoten E verbunden ist und dessen Drain-Anschluß mit dem Knoten C verbunden ist, worin die Versorgungsspannung an dessen Source-Anschluß bzw. das Substrat geliefert wird, einen PMOS-Transistor PM12, dessen Gate-Anschluß mit dem Knoten C verbunden ist und dessen Drain-Anschluß mit dem Knoten E verbunden ist, worin die Versorgungsspannung VCCP an dessen Source-Anschluß bzw. das Substrat geliefert wird, einen PMOS-Transistor PM13, dessen Gate-Anschluß mit dem Knoten C verbunden ist und dessen Drain-Anschluß mit einem Knoten O verbunden ist, worin die Versorgungsspannung VCCP an dessen Drain-Anschluß bzw. das Substrat geliefert wird, einen PMOS-Transistor PM14, dessen Gate-Anschluß mit dem Knoten E verbunden ist, dessen Source-Anschluß mit dem Drain-Anschluß des PMOS-Transistor PM13 verbunden ist und dessen Drain-Anschluß mit dem Knoten O verbunden ist, worin die Versorgungsspannung VCCP an das Substrat angelegt wird, und einen NMOS-Transistor NM15, dessen Gate-Anschluß die Versorgungsspannung VCCP empfängt, dessen Source-Anschluß die extern angelegte Spannung empfängt und dessen Drain-Anschluß mit dem Drain-Anschluß des PMOS-Transistor PM14 verbunden ist, worin ein Ausgangssignal AUS am Knoten O ausgegeben wird.

Die Funktion des herkömmlichen Spannungspegelumsetzers wird nun mit Verweis auf die beiliegenden Zeichnungen erläutert.

Wie in den Fig. 2A bis 2G dargestellt ist, wird zunächst, wenn das Eingangssignal EIN von einem hohen Pegel auf einen niedrigen Pegel getriggert wird, am Knoten A, der ein Ausgangsanschluß des Inverters INV11 ist, das Signal vom niedrigen Pegel in einen hohen Pegel übergeführt. Der NMOS-Transistor NM11 wird daher eingeschaltet, und der Pegel des Signals am Knoten B wird ein niedriger Pegel. Da der NMOS-Transistor NM12 immer eingeschaltet ist, wird zu dieser Zeit der Pegel des Signals am Knoten C ein niedriger Pegel.

Am Knoten D liegt der Pegel des Signals durch den NMOS-Transistor NM13 innerhalb eines Bereichs VCC-Vt. Wenn der Pegel des Signals am Knoten C ein niedriger Pegel wird, wird der PMOS-Transistor PM12 aktiviert, so daß das Signal am Knoten E bis zur Versorgungsspannung

VCCP erhöht wird, und das Signal wird in den Pegel VCCP-Vt übergeführt. Daher werden die PMOS-Transistoren PM11 und PM14 eingeschaltet. Vt ist hier eine Schwellenspannung, die etwa 0,7 Volt beträgt.

Da der Pegel des Signals am Knoten C ein niedriger Pegel ist, wird der PMOS-Transistor PM13 eingeschaltet, und der Pegel des Signals am Knoten O wird die Versorgungsspannung VCCP. Der Pegel des Ausgangssignals AUS wird nämlich die Versorgungsspannung VCCP.

Wenn das Eingangssignal EIN vom niedrigen Pegel in einen hohen Pegel übergeführt wird, wird danach am Knoten A der Pegel des Signals vom hohen Pegel in einen niedrigen Pegel übergeführt. Daher wird der NMOS-Transistor NM11 ausgeschaltet, und der Signalpegel wird am Knoten D in einen niedrigen Pegel übergeführt. Daher wird der Signalpegel am Knoten E ein niedriger Pegel, der PMOS-Transistor PM11 aktiviert, der Signalpegel am Knoten C auf die Versorgungsspannung VCCP erhöht und werden die PMOS-Transistoren PM12 und PM13 ausgeschaltet.

Da der Signalpegel am Knoten E niedrig ist, wird außerdem der PMOS-Transistor PM14 aktiviert. Da der NMOS-Transistor NM15 ursprünglich eingeschaltet ist, wird das Ausgangssignal AUS am Knoten O ein Pegel der extern angelegten Spannung VCC.

In einer Speicherschaltung, wie z. B. dem DRAM, wird daher, um den Spannungspegelumsetzer als einen Übertragungsgate-Treiber zu nutzen, der Pegel des Ausgangssignals AUS die extern angelegte Spannung VCC, dessen Pegel im Fall des ausgewählten Blocks in die Erdungsspannung VSS übergeführt werden sollte. Um die Erdungsspannung VSS abzugeben, sollte außerdem eine Schaltung vorgesehen sein, die den Signalpegel vom Pegel der extern angelegten Spannung VCC zum Pegel der Erdungsspannung VSS verschieben bzw. umsetzen kann.

Eine Aufgabe der vorliegenden Erfindung ist folglich, eine Pegelumsetzerschaltung zu schaffen, die die oben erwähnten Probleme löst, auf die man im Stand der Technik trifft.

Eine andere Aufgabe der vorliegenden Erfindung besteht darin, einen verbesserten Spannungspegelumsetzer zu schaffen, der einen Dreiphasenspannungspegel ausgeben kann, ohne eine zusätzliche Schaltung vorzusehen.

Eine weitere Aufgabe der vorliegenden Erfindung ist, eine verbesserte Pegelumsetzerschaltung zu schaffen, die als ein Übertragungsgate-Treiber verwendet wird, indem ein Zellenblock und ein Leseverstärker für eine Speicherschaltung, wie z. B. einen DRAM mit einem gemeinsamen Leseverstärker, verbunden werden.

Eine weitere Aufgabe der vorliegenden Erfindung besteht darin, eine verbesserte Pegelumsetzerschaltung zu schaffen, die einen niedrigen Energieverbrauch ermöglicht und eine hohe Geschwindigkeit und geringe Anordnungsfläche aufweist.

Um die obigen Aufgaben zu lösen, wird eine Pegelumsetzerschaltung geschaffen, die einen Inverter zum Invertieren eines Eingangssignals, einen ersten NMOS-Transistor, dessen Gate-Anschluß ein durch den Inverter invertiertes Eingangssignal empfängt, dessen Source-Anschluß mit einer Erdungsspannung VSS verbunden ist und dessen Drain-Anschluß mit einem Knoten B' verbunden ist, einen zweiten NMOS-Transistor, dessen Gate-Anschluß ein erstes Eingangssignal empfängt, dessen Source-Anschluß mit einer Erdungsspannung VSS verbunden ist und dessen Drain-Anschluß mit einem Knoten A' verbunden ist, einen dritten NMOS-Transistor, dessen Gate-Anschluß eine extern angelegte Spannung VCC empfängt, dessen Source-Anschluß mit dem Knoten A' verbunden ist und dessen Drain-Anschluß mit einem Knoten D' verbunden ist, einen ersten

PMOS-Transistor, dessen Gate-Anschluß mit dem Knoten D' und dessen Drain-Anschluß mit dem Knoten C' verbunden ist, worin dessen Source-Anschluß und ein Substrat eine erhöhte Spannung VPP empfangen, einen zweiten PMOS-Transistor, dessen Gate-Anschluß mit dem Knoten C' verbunden ist und dessen Drain-Anschluß mit dem Knoten D' verbunden ist, worin dessen Source-Anschluß und ein Substrat eine erhöhte Spannung empfangen, einen dritten PMOS-Transistor, dessen Gate-Anschluß mit dem Knoten C' verbunden ist und dessen Drain-Anschluß mit dem Knoten O' verbunden ist, worin dessen Source-Anschluß und ein Substrat eine erhöhte Spannung VPP empfangen, einen vierten NMOS-Transistor, dessen Gate-Anschluß mit dem Knoten C' verbunden ist, dessen Drain-Anschluß mit dem Knoten O' verbunden ist und dessen Source-Anschluß ein zweites Eingangssignal empfängt, und einen vierten PMOS-Transistor enthält, dessen Gate-Anschluß mit dem Knoten D' verbunden ist, dessen Source-Anschluß mit dem Knoten O' verbunden ist und dessen Drain-Anschluß das zweite Eingangssignal empfängt.

Weitere Vorteile, Aufgaben und Merkmale der Erfindung werden aus der folgenden Beschreibung ersichtlicher.

Ein Ausführungsbeispiel einer Pegelumsetzerschaltung gemäß der vorliegenden Erfindung wird im folgenden anhand schematischer Zeichnungen beschrieben. Es zeigen:

Fig. 1 ein Schaltungsdiagramm, das einen herkömmlichen Spannungspegelumsetzer veranschaulicht;

Fig. 2A bis 2G Wellenformdiagramme von Signalen von Fig. 1;

Fig. 3 ein Schaltungsdiagramm, das eine Pegelumsetzerschaltung gemäß der vorliegenden Erfindung veranschaulicht;

Fig. 4A bis 4H Wellenformdiagramme von Signalen von Fig. 3, wenn eine erste Eingangsspannung eingespeist wird; und

Fig. 5A bis 5H Wellenformdiagramme von Signalen von Fig. 3, wenn eine zweite Eingangsspannung eingespeist wird.

Wie in Fig. 3 dargestellt ist, enthält die Pegelumsetzerschaltung gemäß der vorliegenden Erfindung einen Inverter INV31 zum Invertieren eines ersten Eingangssignals EIN1, einen NMOS-Transistor NM31, dessen Gate-Anschluß ein durch den Inverter INV31 invertiertes Eingangssignal EIN3 empfängt, dessen Source-Anschluß mit einer Erdungsspannung VSS verbunden ist und dessen Drain-Anschluß mit einem Knoten B' verbunden ist, einen NMOS-Transistor NM32, dessen Gate-Anschluß eine extern angelegte Spannung VCC empfangt, dessen Source-Anschluß mit dem Knoten B' verbunden ist und dessen Drain-Anschluß mit einem Knoten C' verbunden ist, einen NMOS-Transistor NM33, dessen Gate-Anschluß ein erstes Eingangssignal EIN1 empfängt, dessen Source-Anschluß mit einer Erdungsspannung VSS verbunden ist und dessen Drain-Anschluß mit einem Knoten A' verbunden ist, einen NMOS-Transistor NM34, dessen Gate-Anschluß die extern angelegte Spannung VCC empfangt, dessen Source-Anschluß mit dem Knoten A' verbunden ist und dessen Drain-Anschluß mit einem Knoten D' verbunden ist, einen PMOS-Transistor PM31, dessen Gate-Anschluß mit dem Knoten D' verbunden ist und dessen Drain-Anschluß mit dem Knoten C' verbunden ist, worin eine erhöhte Spannung VPP an dessen Source-Anschluß bzw. das Substrat angelegt wird, einen PMOS-Transistor PM32, dessen Gate-Anschluß mit dem Knoten C' verbunden ist und dessen Drain-Anschluß mit einem Knoten D' verbunden ist, worin eine erhöhte Spannung VPP an dessen Source-Anschluß bzw. das Substrat angelegt wird, einen PMOS-Transistor PM33, dessen Gate-Anschluß mit dem Knoten C' verbunden ist und dessen Drain-An-

schluß mit einem Knoten O' verbunden ist, worin die erhöhte Spannung VPP an dessen Source-Anschluß bzw. das Substrat angelegt wird, einen NMOS-Transistor NM35, dessen Gate-Anschluß mit dem Knoten C' verbunden ist, dessen Drain-Anschluß mit einem Knoten O' verbunden ist und dessen Source-Anschluß ein zweites Eingangssignal EIN2 empfangt, und einen PMOS-Transistor PM34, dessen Gate-Anschluß mit dem Knoten D' verbunden ist, dessen Source-Anschluß mit dem Knoten O' verbunden ist und dessen Drain-Anschluß das zweite Eingangssignal EIN2 empfängt, wobei somit ein Ausgangssignal AUS vom Knoten O' ausgegeben wird.

Die Operation der Pegelumsetzerschaltung gemäß der vorliegenden Erfindung wird nun mit Verweis auf die beiliegenden Zeichnungen erläutert.

Wenn das erste Eingangssignal EIN1 ein ausgewähltes Blocksignal ist und das zweite Eingangssignal EIN2 ein Auswahlsignal des Blocks ist, der mit der anderen Seite eines Leseverstärkers verbunden ist, und die Speicherschaltung von einem gesperrten Zustand in einen freigegebenen Zustand geschaltet wird, wird das erste Eingangssignal EIN1 von einem hohen Pegel in einen niedrigen Pegel übergeführt, und das zweite Eingangssignal EIN2 hält ständig einen Hochpegelzustand.

Wie in den Fig. 4A bis 4H dargestellt ist, wird, wenn das erste Eingangssignal EIN1 in einen niedrigen Pegel übergeführt wird, wird das invertierte Signal EIN3 in einen hohen Pegel übergeführt, und der NMOS-Transistor NM33 und der NMOS-Transistor NM31 werden ausgeschaltet. Der Signalpegel am Drain-Anschluß des NMOS-Transistors NM31 wird deshalb in einen niedrigen Pegel übergeführt, und, weil der NMOS-Transistor NM32 immer eingeschaltet ist, wird der Signalpegel am Knoten C' ein niedriger Pegel. Da der Knoten C' mit den Gate-Anschlüssen des PMOS-Transistors PM32, des PMOS-Transistors PM33 bzw. des NMOS-Transistors NM35 verbunden ist, wird der PMOS-Transistor PM32 aktiviert, und der Signalpegel am Knoten D' wird ein erhöhter Spannungspegel VPP.

Da der NMOS-Transistor NM34 immer eingeschaltet ist, wird daher der Signalpegel am Knoten A' VCC-Vt.

Da der Signalpegel am Knoten C' ein niedriger Pegel ist, erhöht der PMOS-Transistor PM33 den Spannungspegel am Knoten O' bis zu einer erhöhten Spannung VPP. Außerdem wird der NMOS-Transistor NM35 ausgeschaltet.

Da der Signalpegel am Knoten D' die erhöhte Spannung VPP ist, wird der PMOS-Transistor PM34 ausgeschaltet.

Wenn das erste Eingangssignal EIN1 gesperrt ist (hoher Pegel), ist der NMOS-Transistor NM31 ausgeschaltet und der NMOS-Transistor NM33 eingeschaltet. Da der NMOS-Transistor NM34 intern eingeschaltet ist, wird der Signalpegel am Knoten D' in einen niedrigen Pegel übergeführt. Deshalb wird der PMOS-Transistor PM31 aktiviert, der Signalpegel am Knoten C' bis zum erhöhten Spannungspegel VPP erhöht, der NMOS-Transistor NM35 eingeschaltet und der Pegel des Ausgangssignals AUS auf den Pegel der extern angelegten Spannung VCC verringert.

Da die PMOS-Transistoren PM32 und PM33 ausgeschaltet sind und der PMOS-Transistor PM34 eingeschaltet ist, arbeitet hier der PMOS-Transistor PM34 zusammen mit dem NMOS-Transistor NM35 als ein CMOS-Pull-Down-Schalter.

Wie in den Fig. 5A bis 5H dargestellt ist, wird, wenn das erste Eingangssignal EIN1 einen hohen Pegel hält und der Pegel des zweiten Eingangssignals EIN2 vom hohen Pegel in einen niedrigen Pegel übergeführt wird, der NMOS-Transistor NM33 eingeschaltet und der NMOS-Transistor NM31 ausgeschaltet, so daß der Signalpegel am Knoten D' ein niedriger Pegel wird. Da die PMOS-Transistoren PM31 und

PM34 aktiviert sind, wird daher am Knoten O' das zweite Eingangssignal EIN2 als ein Ausgangssignal AUS ausgegeben. Da der Signalpegel am Knoten C' während eines Speicherbetriebs ein hoher Pegel ist, bleiben hier die PMOS-Transistoren PM32 und PM33 ausgeschaltet.

Die NMOS-Transistoren NM34 und NM32 werden außerdem verwendet, um die Arbeitslasten der PMOS-Transistoren PM31 und PM32 zu reduzieren, und bleiben ursprünglich ausgeschaltet, wenn die Knoten C' und D', an denen die Signalpegel auf dem erhöhten Spannungspegel VPP liegen, durch den NMOS-Transistor NM33 oder den NMOS-Transistor NM31 mit der Erdungsspannung VSS verbunden. Zu dieser Zeit haben die Knoten A' und B' entweder den Wert VCC-Vt oder der Erdungsspannung VSS.

Der NMOS-Transistor NM35 und der PMOS-Transistor PM34 geben hier ohne Rücksicht auf die Pegel des zweiten Eingangssignals EIN2 das Ausgangssignal AUS an den CMOS-Schalter aus.

Wenn ein Übertragungsgate-Treiber, der ein Zellenarray und einen Leseverstärker verbindet, im DRAM mit einem gemeinsamen Leseverstärkeraufbau und einer bidirektionalen globalen Bitleitungsstruktur verwendet wird, sind mehrere Arrays zwischen zwei Leseverstärkern vorgesehen, und ein Übertragungstransistor ist zwischen die Arrays geschaltet. Der Übertragungstransistor hält daher einen Pegel der externen Spannung VCC, wenn die Speicherschaltung gesperrt ist. Wenn die Schaltung angesteuert wird, wird der Signalpegel am ausgewählten Übertragungstransistor ein Pegel der erhöhten Spannung VPP, und der Signalpegel am nicht ausgewählten Übertragungstransistor wird ein Erdungsspannungspegel VSS.

Die Pegelumsetzerschaltung gemäß der vorliegenden Erfindung kann daher als ein Übertragungsgate-Treiber verwendet werden, der einen Zellenblock und ein Leseverstärker in einer Speicherschaltung, wie z. B. einem DRAM mit einem gemeinsamen Leseverstärkeraufbau, verbindet. Da der Pull-Down-Transistor verwendet wird, ist es außerdem möglich, einen Energieverbrauch zu verringern, und die Schaltung wird mit hoher Geschwindigkeit betrieben. Da es möglich ist, drei verschiedene Spannungspegel VCC, VPP und VSS unter Verwendung einer Schaltung zu erzeugen, kann überdies die Pegelumsetzerschaltung gemäß der vorliegenden Erfindung als ein Spannungspegelumsetzer verwendet werden. Die Anordnungsfläche der Schaltung ist im Vergleich zum Stand der Technik verringert.

Obwohl die bevorzugten Ausführungsformen der vorliegenden Erfindung zu Veranschaulichungszwecken offenbart wurden, erkennt der Fachmann, daß verschiedene Modifikationen, Zusätze und Ersetzungen möglich sind, ohne vom Umfang und Geist der Erfindung abzuweichen, wie sie in den beiliegenden Ansprüchen dargelegt ist.

Patentansprüche

1. Pegelumsetzerschaltung mit:
 - einem Inverter (INV31) zum Invertieren eines Eingangssignals (EIN1);
 - einem ersten NMOS-Transistor (NM31), dessen Gate-Anschluß ein durch den Inverter (INV31) invertiertes Eingangssignal (EIN3) empfängt, dessen Source-Anschluß mit einer Erdungsspannung VSS verbunden ist und dessen Drain-Anschluß mit einem Knoten B' verbunden ist;
 - einem zweiten NMOS-Transistor (NM33), dessen Gate-Anschluß ein erstes Eingangssignal (EIN1) empfängt, dessen Source-Anschluß mit einer Erdungsspannung VSS verbunden ist und dessen Drain-Anschluß mit einem Knoten A' verbunden ist;

einem dritten NMOS-Transistor (NM34), dessen Gate-Anschluß eine extern angelegte Spannung VCC empfängt, dessen Source-Anschluß mit dem Knoten A' verbunden ist und dessen Drain-Anschluß mit einem Knoten D' verbunden ist;

einem ersten PMOS-Transistor (PM31), dessen Gate-Anschluß mit dem Knoten D' verbunden ist und dessen Drain-Anschluß mit dem Knoten C' verbunden ist, worin dessen Source-Anschluß und ein Substrat eine erhöhte Spannung VPP empfangen;

einem zweiten PMOS-Transistor (PM32), dessen Gate-Anschluß mit dem Knoten C' verbunden ist und dessen Drain-Anschluß mit dem Knoten D' verbunden ist, worin ein Source-Anschluß und ein Substrat die erhöhte Spannung empfangen;

einem dritten PMOS-Transistor (PM33), dessen Gate-Anschluß mit dem Knoten C' verbunden ist und dessen Drain-Anschluß mit einem Knoten O' verbunden ist, worin dessen Source-Anschluß und ein Substrat eine erhöhte Spannung VPP empfangen;

einem vierten NMOS-Transistor (NM35), dessen Gate-Anschluß mit dem Knoten C' verbunden ist, dessen Drain-Anschluß mit dem Knoten O' verbunden ist und dessen Source-Anschluß ein zweites Eingangssignal (EIN2) empfängt; und

einem vierten PMOS-Transistor (PM34), dessen Gate-Anschluß mit dem Knoten D' verbunden ist, dessen Source-Anschluß mit dem Knoten O' verbunden ist und dessen Drain-Anschluß das zweite Eingangssignal (EIN2) empfängt.

2. Schaltung nach Anspruch 1, worin, wenn ein erstes Eingangssignal ein ausgewähltes Blocksignal ist und ein zweites Eingangssignal ein Auswahlssignal von einem Block ist, der mit einer anderen Seite eines Leseverstärkers verbunden ist, und eine Speicherschaltung gesperrt ist, das erste Eingangssignal ein hoher Pegel wird und, wenn die Speicherschaltung freigegeben wird, das erste Eingangssignal ein niedriger Pegel wird.

3. Schaltung nach Anspruch 2, worin das zweite Eingangssignal ständig einen Hochpegelzustand hält.

4. Schaltung nach Anspruch 1, worin, wenn das zweite Eingangssignal ein ausgewähltes Blocksignal ist und das erste Eingangssignal ein Auswahlssignal von einem mit einer anderen Seite des Leseverstärkers verbundenen Block ist und die Speicherschaltung gesperrt ist, das zweite Eingangssignal ein niedriger Pegel wird, und das zweite Eingangssignal ein hoher Pegel wird, wenn die Speicherschaltung freigegeben wird.

5. Schaltung nach Anspruch 4, worin das erste Eingangssignal ständig einen Hochpegelzustand hält.

6. Schaltung nach Anspruch 4, worin das Eingangssignal ohne Rücksicht auf den Pegel des zweiten Eingangssignals durch Verwenden eines CMOS-Pull-Down-Schalters direkt ausgegeben wird.

7. Schaltung nach Anspruch 1, ferner mit einem Übertragungsgate-Treiber, der einen Zellenblock und einen Leseverstärker in einer Speicherschaltung, wie z. B. einem DRAM mit einem gemeinsamen Leseverstärkeraufbau, verbindet.

8. Schaltung nach Anspruch 1, worin die Pegelumsetzerschaltung als ein Spannungspegelumsetzer verwendet wird.

9. Schaltung nach Anspruch 1, ferner mit einem Pull-Down-Transistor.

10. Schaltung nach Anspruch 1, worin die Pegelumsetzerschaltung drei verschiedene Spannungspegel

VPP, VCC und VSS erzeugen kann.

Hierzu 5 Seite(n) Zeichnungen

5

10

15

20

25

30

35

40

45

50

55

60

65

FIG. 1

STAND DER TECHNIK

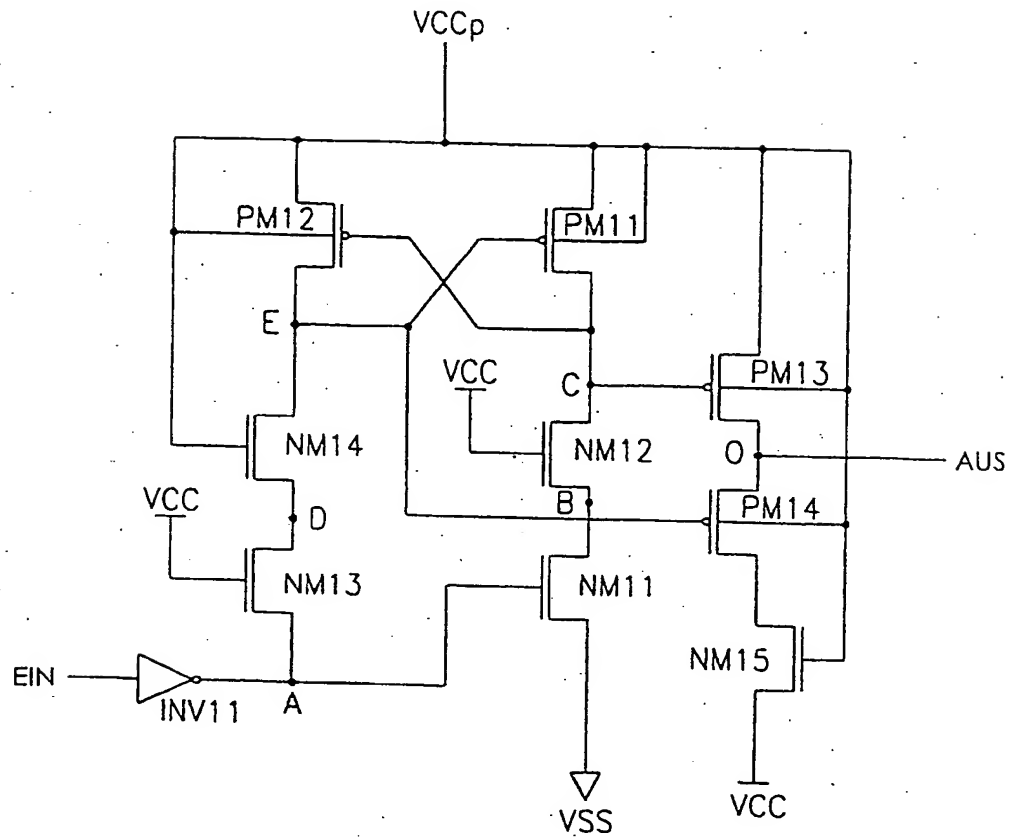


FIG. 2A
STAND DER TECHNIK

FIG. 2B
STAND DER TECHNIK

FIG. 2C
STAND DER TECHNIK

FIG. 2D
STAND DER TECHNIK

FIG. 2E
STAND DER TECHNIK

FIG. 2F
STAND DER TECHNIK

FIG. 2G
STAND DER TECHNIK

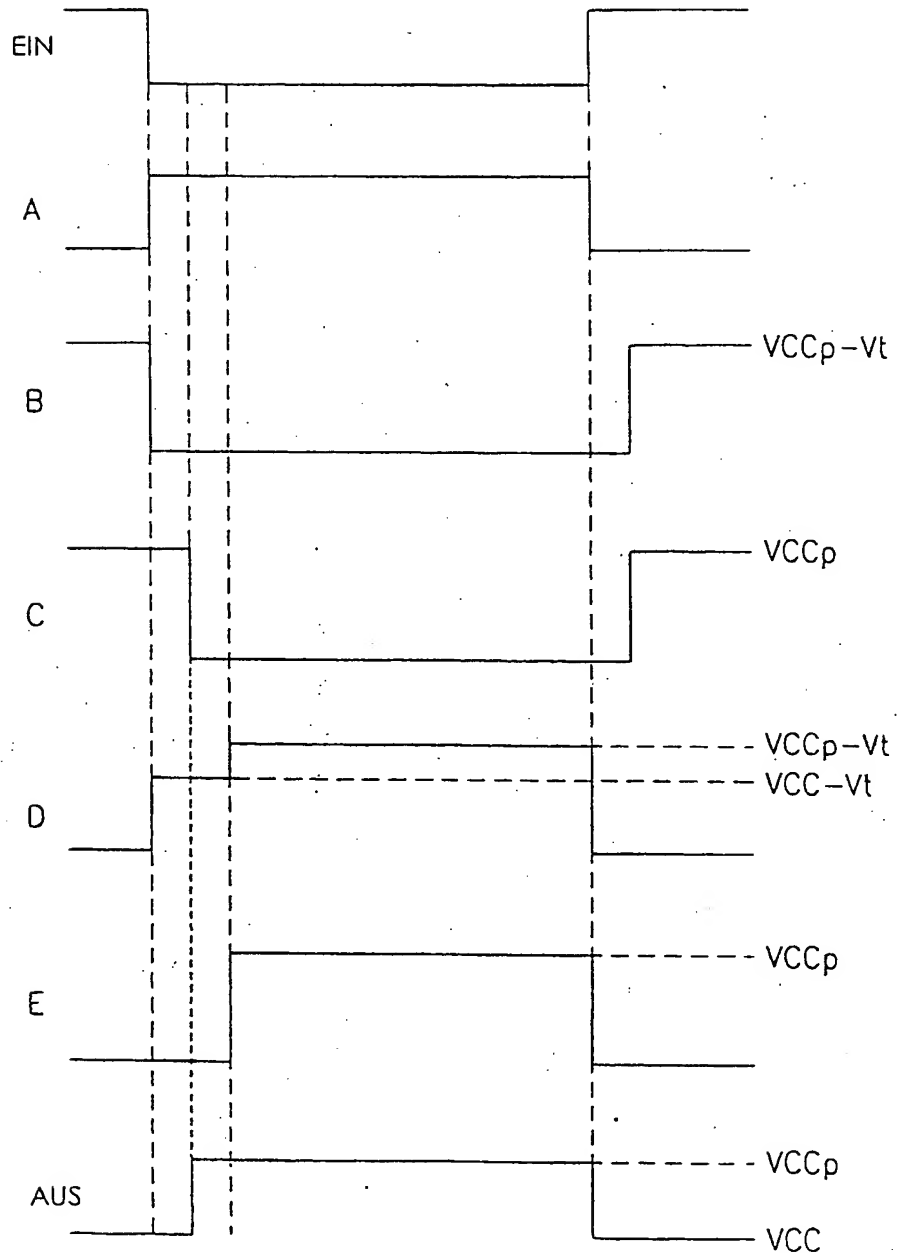
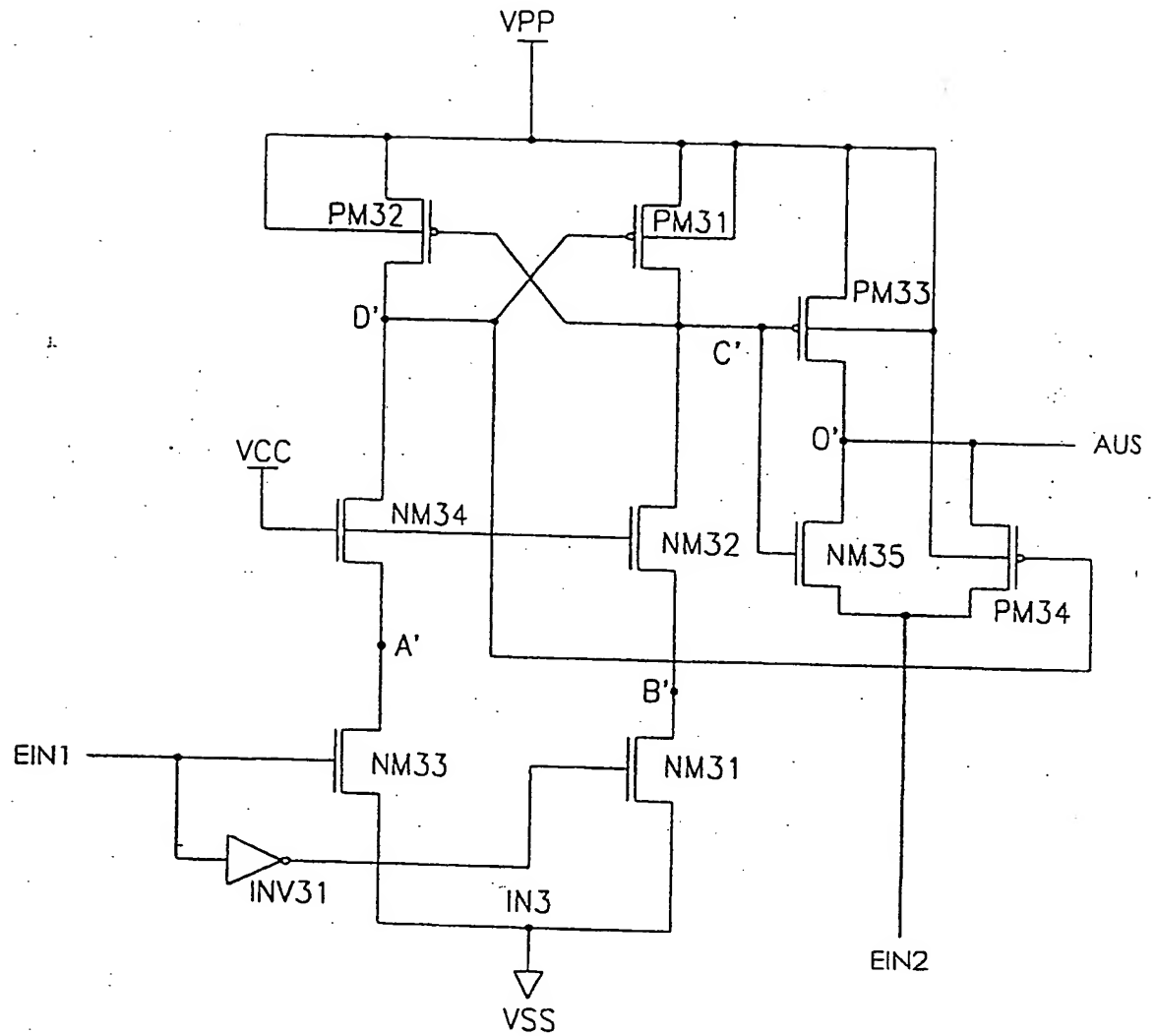
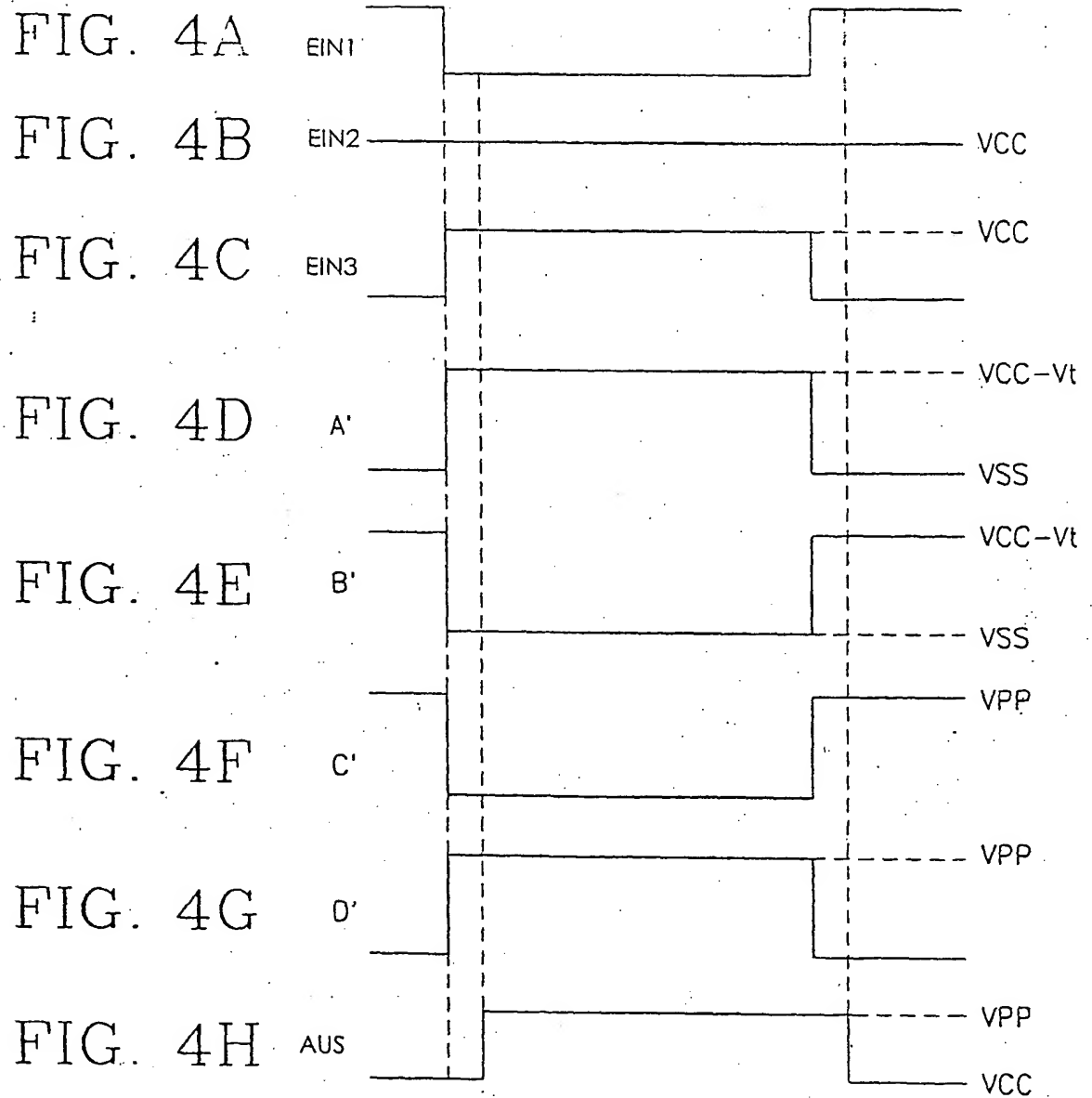
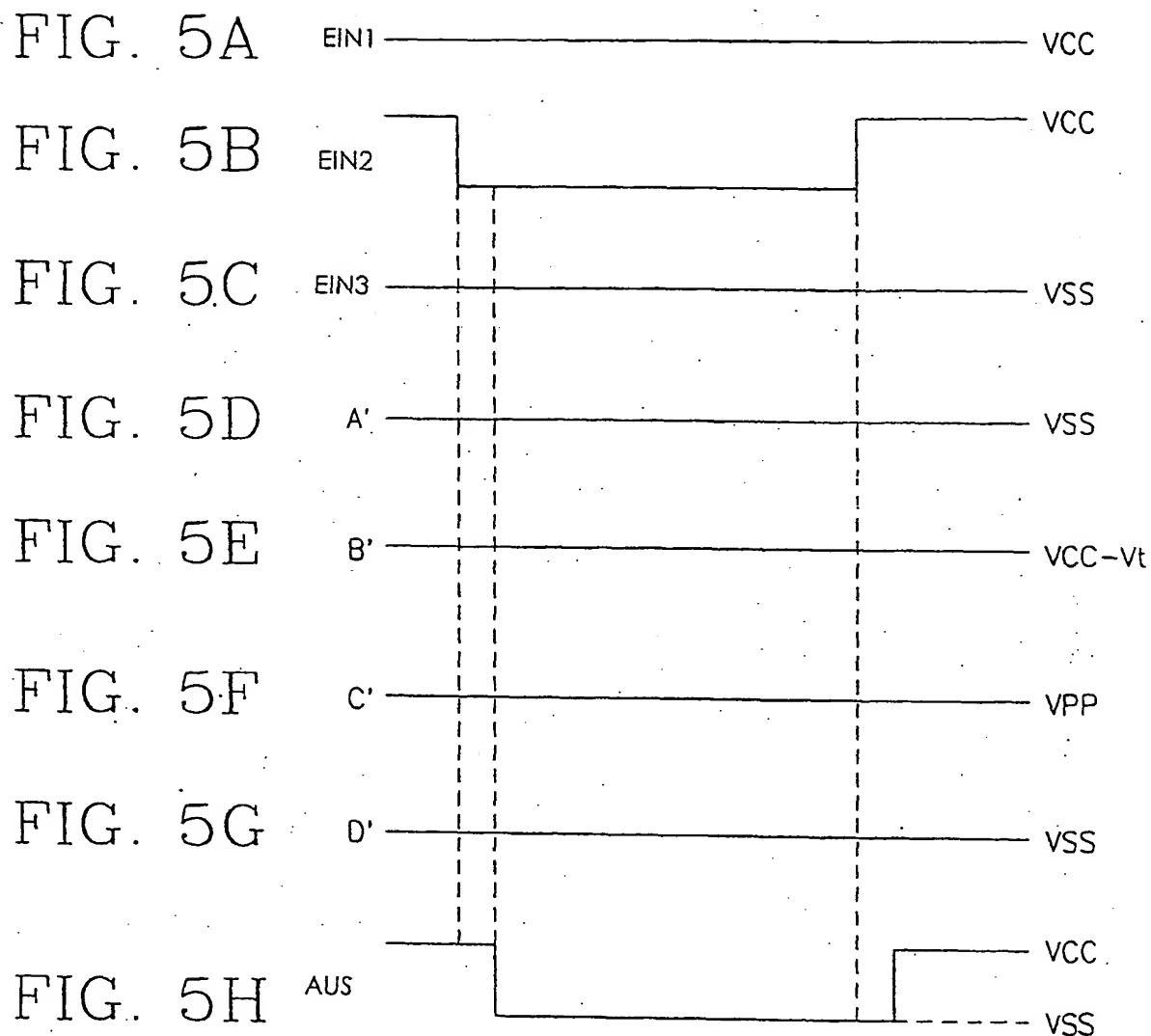


FIG. 3







DOCKET NO: P2000,0342
 SERIAL NO: 10/600,916
 APPLICANT: Schamberger
 LERNER AND GREENBERG P.A.
 P.O. BOX 2480
 HOLLYWOOD, FLORIDA 33022
 TEL. (954) 925-1100